

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-215585

(43)Date of publication of application : 05.08.1994

(51)Int.Cl.

G11C 16/06

G11C 11/409

(21)Application number : 05-020523

(71)Applicant : HITACHI LTD

(22)Date of filing : 13.01.1993

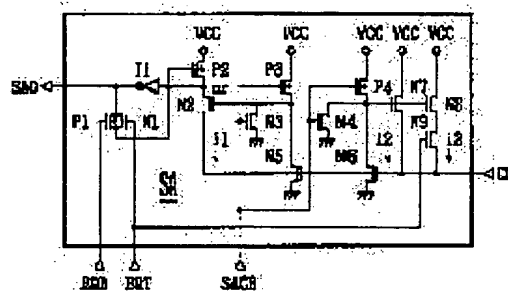
(72)Inventor : SATO HIROSHI  
FURUNO TAKESHI  
NAKAMURA TAKESHI

## (54) SEMICONDUCTOR STORAGE

### (57)Abstract:

**PURPOSE:** To accelerate the read operation of a flash memory, etc., provided with a current sense type sense amplifier and to thrust the acceleration in an access time.

**CONSTITUTION:** In the flash memory, etc., provided with the current sense type sense amplifier SA, a common data line CD is equalized to the logical threshold level of an inverter I1 becoming a level decision circuit by making MOSFET P1 and N1 an on state temporarily in the beginning of starting read operation. Then, the precharge of the common data line CD is performed by a first precharge MOSFET N8 having relatively large conductance and being made effective temporarily while the common data line is equalized and a second precharge MOSFET N7 having relatively small conductance and being made effective normally while a read signal is amplified.



## LEGAL STATUS

[Date of request for examination] 05.01.2000

[Date of sending the examiner's decision of rejection] 05.03.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2002-05762

[Date of requesting appeal against examiner's decision of rejection] 04.04.2002

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(15)Int.Cl. G I C	特願平5-20523 平成5年(1993)1月13日	(71)出願人 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地 佐藤 弘	技術表示箇所
16/06 11/409		(72)発明者 古野 毅 東京都葛飾市今井228番地 株式会社日立製作所デバイス開発センター	
		(73)発明者 中村 剛 東京都小平市上本町5丁目20番1号 株式会社日立製作所武蔵工場内	
		(74)代理人 弁理士 徳若 光政 東京都小平市上本町5丁目20番1号 株式会社日立製作所武蔵工場内	
			請求項の数 5 F D (全 14 頁)

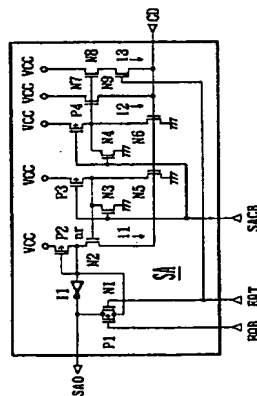
(54)【発明の名称】半導体記憶装置

(57) 【要約】

【目的】 電流センス型のセンスアンプを駆えるフラッシュメモリ等の読み出し動作を高速化し、そのアクセスタイムの高速化を推進する。

【構成】 電流流走型のセンスアンプS<sub>A</sub>を備える7ラッシュェモミ<sup>®</sup>等において、共通データ線CDを、読み出し動作が開始される当初、MOSFET<sub>P1</sub>及びN1を一時的にオン状態として、レベル判定回路をバイパスする。この為、データ線レベルにコラライズするとともに、共通データ線CDのプリチャージを、比較的大きなコンダクタンスを有し共通データ線CDのコラライズが行われる間一時的に有効とされる第1のプリチャージMOSFET<sub>N8</sub>と、比較的小きなコンダクタンスを有し読み出し信号の増幅動作が行われる間定期的に有効とされる第2のプリチャージMOSFET<sub>N7</sub>とにより行う。

● 3 センズアソング回廊区(実業部1)



【特許請求の範囲】

(請求項1) 直交して配置されるワード線及びビット線とならびにこれらとのワード線及びビット線の交点に格子状に配置される不揮発性メモリセルを含むメモリアレイと、指定される配位に記憶ビット線が選択的に接続される第1共通データ線と、第1の電源電圧と上記共通データ線との間に接続され読み出し信号の増幅動作が行われる当り一時的に有効とされる第1のプリチャージMOSFETを含むセンスアンプとを具備することを特徴とする半導体記憶装置。

【請求項2】 上記第1のブリチャージャMOSFETは、比較的大きなコンダクタンスを有するものであって、上記センサアンプは、比較的小さなコンダクタンスを有しかつ露出1層の増幅動作が行われる間定常的に有効とされる第2のブリチャージャMOSFETを含むものであることを特徴とする請求項1の半導体記憶装置。

【請求項3】 上記共通データ線は、読み出し信号の増幅動作が行われる当初一時的に所定レベルにイコライズされるものであって、上記第1のプリチャージMOSFETは、上記共通データ線がイコライズされる間有効とされるものであることを特徴とする請求項1又は請求項2の非揮発性記憶装置。

【請求項4】 上記センサスアンプは、上記共通データ線  
のレベルを判定するレベル判定回路を含むものであ  
って、上記共通データ線のイコライズレベルは、上記レ  
ベル判定回路の論理ストレスホールドレベルとされるもので  
あることを特徴とする請求項1、請求項2又は請求項3  
の半導体記憶装置。

【請求項5】 上記半導体記憶装置は、アドレス選択回路を具備するフラッシュメモリであって、上記読み出し回路は、上記アドレス選択回路と出力回路との間に、信号の増幅動作は、上記アドレス選択回路の出力信号に従って、逐次的に開始されるものであることを特徴とする請求項1、請求項2、請求項3又は請求項4の半導体記憶装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は半導体記憶装置に関する。例えば、電流センス型のセンスアンプを備えるフラッシュメモリに利用して特に有効な技術に関するものである。

[0002]

【従来の技術】記憶データを紫外線により消去し電気的に書き込みうるEPROM (UV Erasable and Programmable Read Only Memory) がある。また、記憶データを電気的に消去しかつ書き込みうるEEPROM (Electrically Erasable and Programmable Read Only Memory) がある。さらに、EPROMと同様にそのゲート酸化膜

がトネル酸化膜からなるメモリセルを基本に構成され、しかも記憶データを所定のブロックごとにかつ電気的に一括消去しうるいわゆるフラッシュメモリ（フラッシュEEPROM）がある。

【0003】フラッシュメモリについて、例えば、1985年、『アイ・イー・ディー・エム (IEDM: International Electron Devices Meeting) テクニカル ダイジェスト (Technical Digest)』の第616頁～第619頁に記載されている。

[0004]

【発明が解決しようとする課題】本発明者等は、この発明に先立って、図7に示されるような電流センサ型のセンサアンプを開発し、フラッシュメモリに組み込んだ、同図において、センサアンプSAは、電流電圧VCCと共通データ線CDととの間に直列形態に設けられるPチャネル型MOSFET（金属酸化物半導体電界効果トランジスタ。この明細書では、MOSFETとして総称する）と、Pチャネル型MOSFET2と、その入力端子が上記Pチャネル型MOSFET2の共通結合されたドレイン端子と内部ノードnに結合されレベル判定回路として作用するインバータ11とを含む、MOSFET2のゲートには、反転内部制御信号SACBが供給される。また、MOSFET2のゲートは、Pチャネル型MOSFET5のゲートを介して電流電圧VCCに結合される。とともに、Nチャネル型MOSFET3及びN5を介して回路の接地電位に結合される。MOSFET3及びN3のゲートには、反転内部制御信号SACBが供給される。MOSFET5のゲートは共通データ線CDに結合される。これにより、MOSFET2及びN2と結合される。反転内部制御信号SACBがロウレベルとされ、共通データ線CDを介して選択されたオクタルとされた、共通データ線CDを介してメモリアレイの選択されたメモリセルに所定の読み出し電流I1を供給する。

【0005】センサアンプSAは、さらに、電源電圧V<sub>CC</sub>と共通データ線CDとの間に設けられるNチャネル型のプリアンプ用MOSFETN8を含む。このプリアンプ用MOSFETN8のゲートは、PチャネルMOSFETPT4を介して電源電圧V<sub>CC</sub>に結合され、MOSFETPT4を介して同様の接地電位に結合される。MOSFETPT4及びNチャネルMOSFETN4は共通データ線ACBに結合され、MOSFETN4のゲートには反転内部制御信号ACBが供給される。MOSFETN8のゲートは共通データ線CDに結合される。これにより、プリアンプ用MOSFETN8は、反転内部制御信号ACBがロウレベルとされることで選択的にオン/オフし、共通データ線CDに所定のプリアンプ電流I<sub>4</sub>を供給する。

きい値電圧は比較的小さくされ、共通データ線CDに  
は、読み出し電流I1とプリチャージ電流I4の加算値  
すなわちI1+I4を超える比較的大きな読み出し電流  
が流される。このため、内部ノードnrの電位はインパ  
ンバー11の論理スレッショルド電圧より低くなり、イ  
ンバー11の出力信号すなわちセンスアンプSAの出力  
信号SAOはハイレベルとなる。一方、メモリアレイ  
の選択されたメモリセルが論理“0”のデータを保持す  
るとき、このメモリセルのしきい値電圧は比較的大きく  
され、共通データ線CDには、読み出し電流I1とプリ  
チャージ電流I4の加算値すなわちI1+I4を下回る  
比較的小さな読み出し電流が流される。このため、内部  
ノードnrの電位はインバータ11の論理スレッショル  
ドレベルより高くなり、インバータ11の出力信号すな  
わちセンスアンプSAの出力信号SAOはロウレベルと  
なる。

(0007)ところで、MOSFETN5及びN6は、  
共通データ線CDの電位が上昇するにいたって完全な  
オン状態に近づき、MOSFETN2及びN8のゲート  
電位を引き下げて、読み出し電流I1及びプリチャージ  
電流I4の値を制限すべく作用する。この結果、プリチャ  
ージMOSFETN8は、特に共通データ線CDの電  
位が低い状態にある場合においてその電位を急速に上界  
さるべく作用し、これによって論理“0”の記憶デー  
タの読み出し動作が高速化される。

(0008)しかし、本発明者等は、フラッシュメモ  
リのさらなる高速化を推進しようとして、上記センスア  
ンプSAの持つ次のような問題点に直面した。すなわ  
ち、上記従来のフラッシュメモリでは、ビット線及び共  
通データ線CDのイコライズが行われないために、読み  
出し開始時における共通データ線CDの電位は一定しな  
い。したがって、読み出し開始時における共通データ線  
CDの電位が低い状態にある場合、前述のように、MO  
SFE TN8を介してプリチャージ電流I4が流される  
ことによって共通データ線CDのプリチャージ動作が明  
瞭される。論理“0”の記憶データの読み出し動作は高速  
化されるが、読み出し開始時における共通データ線CD  
の電位が高い状態にある場合には、MOSFETN8を  
介してプリチャージ電流I4が流されることで選択され  
たメモリセルによる共通データ線CDの電位低下が速  
れ、論理“1”の記憶データの読み出し動作が遅くなっ  
て、フラッシュメモリのアクセスタイムの高速化が制約  
を受ける。

(0009)この発明の目的は、フラッシュメモリ等の  
読み出し動作を高速化し、そのアクセスタイムの高速化  
を推進することにある。

(0010)この発明の前提ならびにその他の目的と新  
規な特徴は、この明細書の記述及び添付図面から明らか  
になるであろう。

(0011)

W0～Wmは、XアドレスデコーダXDに結合され、取  
引的に選択状態とされる。XアドレスデコーダXDに  
は、XアドレスバスファアXBからi+1ビットの内部ア  
ドレス信号X0～Xiが供給されるとともに、電源電圧  
VCCと図示されない電圧発生回路によって形成される  
所定の制御電圧VP1～VP4ならびにVG1が供給さ  
れる。また、XアドレスバスファアXBには、アドレス入  
力端子AX0～AXiを介してXアドレス信号AX0～  
AXiが供給され、ソーススイッチSSには、上記電圧  
発生回路によって形成される制御電圧VP2が供給され  
る。

(0016)ここで、電源電圧VCCは、特に制限され  
ないが、+3V(ボルト)のような比較的絶対値の小さ  
な正の電源電圧とされる。一方、制御電圧VP1は+  
2.5Vのような正電位とされ、制御電圧VP2は+4  
Vのような正電位とされる。また、制御電圧VP3は+  
5Vのような正電位とされ、制御電圧VP4は、+12  
Vのような比較的絶対値の大きな正電位とされる。制御  
電圧VG1は、-10Vのような比較的絶対値の大きな  
負電位とされる。

(0017)XアドレスバスファアXBは、アドレス入力

[表1] 消去モードにおける選択・非選択レベル

選択時	ソース (ソース線SL) ゲート (ワード線W0～Wm) ドレイン (ビット線B0～Bn)	VP2 (+4V) VG1 (-10V) 開放状態
	ソース (ソース線SL) ゲート (ワード線W0～Wm) ドレイン (ビット線B0～Bn)	VP2 (+4V) VP2 (+4V) 開放状態

(0020)一方、消去動作確認のための消去バリア  
イモードにおけるワード線W0～Wmの選択レベルは、  
表2に示されるように、制御電圧VP1つまり+2.5

Vとされ、その非選択レベルは、接地電位VSSつまり  
0Vとされる。このとき、選択及び非選択メモリセルの

[表2] 消去バリアイモードにおける選択・非選択レ

選択時	ソース (ソース線SL) ゲート (ワード線W0～Wm) ドレイン (ビット線B0～Bn)	VSS (0V) VP1 (+2.5V) +1V程度
	ソース (ソース線SL) ゲート (ワード線W0～Wm) ドレイン (ビット線B0～Bn)	VSS (0V) VSS (0V) +1V程度

(0022)次に、書き込みモードにおけるワード線  
W0～Wmの選択レベルは、表3に示されるように、制御  
電圧VP4つまり+12Vとされ、その非選択レベル  
は、接地電位VSSつまり0Vとされる。このとき、選  
択メモリセルのドレインつまりビットB0～Bnには、  
書き込みデータに応じて制御電圧VP3つまり+5V

端子AX0～AXiを介して供給されるXアドレス信号  
AX0～AXiを取り込み・保持するとともに、これら  
のXアドレス信号をもとに内部アドレス信号X0～Xi  
を形成して、XアドレスデコーダXDに供給する。内選  
アドレス信号X0～Xiは、後述するアドレス選択線出  
回路ATDにも供給される。XアドレスデコーダXD  
は、内部アドレス信号X0～Xiをデコードして、メモ  
リアレイMARYの対応するワード線W0～Wmを択  
的に動作モードに応じた所定の選択レベルとする。

(0018)この実施例において、消去モードにおける  
ワード線W0～Wmの選択レベルつまり選択メモリセル  
のゲート電位は、特に制限されないが、表1に示され  
るように、制御電圧VG1つまり-10Vとされ、その非  
選択レベルつまり非選択メモリセルのゲート電位は、制  
御電圧VP2つまり+4Vとされる。このとき、選択及  
び非選択メモリセルのソース電位つまりソース線SL  
は、後述するソーススイッチSSによってともに制御電  
圧VP2つまり+4Vとされ、そのドレインつまりビッ  
ト線B0～Bnはともに開放状態とされる。

(0019)

は接地電位VSSつまり0Vが選択的に供給され、非選  
択メモリセルのドレインには+5Vが供給される。選択  
及び非選択メモリセルのソース電位つまりソース線SL  
は、ともに接地電位VSSつまり0Vとされる。

(0023)

[表3] 書き込みモードにおける選択・非選択レベル

選択時	ソース (ソース線SL) ゲート (ワード線W0～Wm) ドレイン (ビット線B0～Bn)	VSS (0V) VP4 (+1.2V) VP3 (+5V) 又はVSS (0V)
	ソース (ソース線SL) ゲート (ワード線W0～Wm) ドレイン (ビット線B0～Bn)	VSS (0V) VSS (0V) VP3 (+5V)
非選択時		

【0024】一方、書き込み確認のための書き込みベリファイモードにおけるワード線W0～Wmの選択レベルは、表4に示されるように、制御電圧VP3つまり+5Vとされ、その非選択レベルは、接地電位VSSつまり0Vとされる。このとき、選択及び非選択メモリの

【表4】書き込みベリファイモードにおける選択・非選択レベル

選択時	ソース (ソース線SL) ゲート (ワード線W0～Wm) ドレイン (ビット線B0～Bn)	VSS (0V) VP3 (+5V) +1V程度
	ソース (ソース線SL) ゲート (ワード線W0～Wm) ドレイン (ビット線B0～Bn)	VSS (0V) VSS (0V) +1V程度
非選択時		

【0026】

【表5】読み出しモードにおける選択・非選択レベル

選択時	ソース (ソース線SL) ゲート (ワード線W0～Wm) ドレイン (ビット線B0～Bn)	VSS (0V) VCC (+3V) +1V程度
	ソース (ソース線SL) ゲート (ワード線W0～Wm) ドレイン (ビット線B0～Bn)	VSS (0V) VSS (0V) +1V程度
非選択時		

【0027】さらに、読み出しモードにおけるワード線W0～Wmの選択レベルつまり選択メモリのゲート電位は、表5に示されるように、電源電圧VCCつまり+3Vとされ、その非選択レベルつまり非選択メモリのゲート電位は、接地電位VSSつまり0Vとされる。このとき、選択及び非選択メモリのソース電圧つまりソース線SLは、ともに接地電位VSSつまり0Vとされ、そのドレインつまりビット線B0～Bnは、ともに+1V程度とされる。

【0028】ソーススイッチSSは、上記表1～表5に示されるように、ソース線SLを介してメモリアレイMを構成するすべてのメモリセルMCのソースに動作モードに応じた所定のソース電圧を供給する。すなわち、ソーススイッチSSは、フラッシュメモリが消去モードとされるとき、制御電圧VP2つまり+4Vのソース電圧をすべてのメモリセルMCのソースに供給し、フ

ラッシュメモリが消去ベリファイモード、書き込みモード、書き込みベリファイモード又は読み出しモードとされるとき、接地電位つまり0Vのソース電圧を供給する。

【0029】メモリアレイMARYを構成するビット線B0～Bnは、YスイッチYSに結合され、このYスイッチを介して共通データ線CDに選択的に接続される。ここで、YスイッチYSは、図2に示されるように、メモリアレイMARYのビット線B0～Bnに対応して設けられるNチャネル型のn+1個のスイッチMOSFETNSを含む。これらのスイッチMOSFETのゲートには、Yアドレスデコーダから対応するビット線選択信号YS0～YSnが供給される。YアドレスデコーダYDには、YアドレスバスFFABからj+1ビットの内部アドレス信号Y0～Yjが供給され、YアドレスバスFFABYBには、アドレス入力端子AY0～AYjを介

つまり+5Vとされ、そのロウレベルは接地電位VSSつまり0Vとされる。

【0034】一方、センスアンプSAは、いわゆる電流センス型のセンスアンプとされ、フラッシュメモリが読み出しモードで選択状態とされるとき、相補内部制御信号EQ\*及びSA\*に従って選択的に動作状態とされる。この動作状態において、センスアンプSAは、メモリアレイMARYの選択された1個のメモリセルから其通データ線CDを介して電流信号として出力される読み出し信号を、電圧信号に変換して増幅し、データ出力バッファOBに伝達する。データ出力バッファOBは、センスアンプSAを介して伝達される読み出し信号をさらに増幅して、データ出力端子DIOから出力する。なお、センスアンプSAの具体的な構成については、後で詳細に説明する。

【0035】タイミング発生回路TGは、外部から起動制御信号として供給されるチップインネーブル信号CEB、ライトインネーブル信号WEB及び出力インネーブル信号OEBとアドレス選択回路ATDの出力信号ATDOとをもとに各種の内部制御信号を選択的に形成し、フラッシュメモリの各回路に供給する。

【0036】図3には、図1のフラッシュメモリに含まれるセンスアンプSAの第1の実施例の回路図が示されている。図4には、その一実施例の信号波形図が示されている。これらの図をもとに、この実施例のフラッシュメモリに含まれるセンスアンプSAの具体的な構成及び動作ならびにその特徴について説明する。

【0037】図3において、この実施例のセンスアンプSAは、電源電圧VCC (第1の電源電圧) と共通データ線CDとの間に直列形態に設けられるPチャネルMOSFETP2及びNチャネルMOSFETN2を含む。このうち、MOSFETP2のゲートは、そのドレインすなわち内部ノードnrに結合されるとともに、内部ノードnrつまり共通データ線CDに対するレベル判定回路となるインバータI1の入力端子に結合される。また、MOSFETN2のゲートは、PチャネルMOSFETP3を介して電源電圧VCCに結合されるとともに、2個のNチャネルMOSFETN3及びN5を介して回路の接地電位に結合される。MOSFETP3及びN3のゲートには、反転内部制御信号SACBが供給され、MOSFETN5のゲートは共通データ線CDに結合される。ここで、反転内部制御信号SACBは、図4に示されるように、チップインネーブル信号CEBがロウレベルとされるとき、所定のタイミングで電源電圧VCCとされるとき、所定のタイミングで電源電圧VCCのよ

してYアドレス信号AY0～AYjが供給される。

【0030】YアドレスバスFFABYBは、アドレス入力端子AY0～AYjを介して供給されるYアドレス信号AY0～AYjを取り込み・保持するとともに、これらのYアドレス信号をもとに内部アドレス信号Y0～Yjを形成して、YアドレスデコーダYDに供給する。内部アドレス信号Y0～Yjは、アドレス選択回路ATDにも供給される。YアドレスデコーダYDは、YアドレスバスFFABYBから供給される内部アドレス信号Y0～Yjをデコードして、対応するビット線選択信号YS0～YSnを択一的に電源電圧VCCのよなハイレベルとする。この結果、YスイッチYSの対応するスイッチMOSFETNSが択一的にオン状態とされ、これによってメモリアレイMARYの対応するビット線B0～Bnが共通データ線CDに選択的に接続状態とされる。

【0031】アドレス選択回路ATDは、内部アドレス信号X0～XiならびにY0～Yjをモニタし、これらの内部アドレス信号の論理レベルが1ビットでも反転されるとき、その出力信号ATDOを一時的にハイレベルとする。このアドレス選択回路ATDの出力信号ATDOはタイミング発生回路TGに供給され、これをもとにセンスアンプSA等の動作を制御するための所定の内部制御信号が選択的に形成される。

【0032】共通データ線CDは、ライトアンプWAの入力端子に結合されるとともに、センスアンプSAの入力端子に結合される。ライトアンプWAの入力端子はデータ入力バッファIBの出力端子に結合され、センスアンプSAの出力端子はデータ出力バッファOBの入力端子に結合される。データ入力バッファIBの入力端子とデータ出力バッファOBの出力端子は、データ入力端子DIOに共通結合される。センスアンプSAには、タイミング発生回路TGから相補内部制御信号EQ\* (ここで、例えば非反転内部制御信号EQと反転内部制御信号EQBとを合わせて相補内部制御信号EQ\*のようになし) を付して表す。また、それが有効とされるとき選択的にハイレベルとされるいわゆる非反転信号等についてはその名称の末尾にBを付して表す。以下同様) 及びSA\*が供給される。

【0033】データ入力バッファIBは、フラッシュメモリが書き込みモードで選択状態とされるとき、データ入力端子DIOを介して入力される書き込みデータを、取り込み、ライトアンプWAに伝達する。ライトアンプWAは、データ入力バッファIBを介して伝達される書き込みデータを所定の書き込み信号とし、共通データ線CDを介してメモリアレイMARYの選択された1個のメモリセルMCに書き込む。なお、ライトアンプWAから共通データ線CDを介して選択されたメモリセルに供給される書き込み信号のハイレベルは、制御電圧VP3

シミュレーションにより選択状態とされた反転内部制御信号SACBがロウレベルとされるとき選択的にオン状態となり、MOSFETN2をオン状態とする。このとき、MOSFETP2は、反転内部制御信号SACBのロウレベルを受けてオン状態とされた。したがって、メモリアレイMARRYの選択状態とされたメモリセルには、これらのMOSFETP2及びN2から共通データ線CDを介して所定の読み出し電流I<sub>0</sub>が供給される。フラッシュメモリが非選択状態とされた反転内部制御信号SACBがハイレベルとされるとき、センスアンプSAでは、MOSFETP2及びP3がオフ状態となり、MOSFETN2もオフ状態となり、共通データ線CDはいわゆるフローティング状態となる。

【0039】ところで、この実施例のセンサアンプSAは、インバータ11の入力端子及び出力端子間に接続される一対のPチャンネルMOSFET P1及びNチャンネルMOSFET N1からなる相補スイッチを含む。この相補スイッチを構成するMOSFET P1のゲートには、反転内部制御信号EQBが供給され、MOSFET N1のゲートには、非反転内部制御信号EQTが供給される。ここで、反転内部制御信号EQBは、図4に示されるように、チャプインーブル信号CEBの立ち下がりを受けてフラッシュメモリが選択状態とされること、あるいは内部アドレス信号X0～X1又はY0～Y1がビットでも変化されることでアドレス選択検出回路ATDの出力信号ATDGOがハイレベルとされること、言い換えるならばセンサアンプSAによる読み出し信号の増幅動作が行われる当期において一時的にロウレベルとされる。言うまでもなく、非反転内部制御信号EQTは、反転内部制御信号EQBがロウレベルとされるときハイレベルとされ、ハイレベルとされるときロウレベルとされる。

【0040】これにより、MOSFETP1及びN1は、反転内部制御信号EQBがロウレベルとされ非反転内部制御信号EQTがハイレベルとされる、言い換えるならばセンサ用SAIによる読み出し信号の増幅動作が行われる当期において、一時的にオン状態となりインバータ11の入力端子及び出力端子を短絡して、内部ノードnの電位をインバータ11の論理スレッシホールドレベルVRとする、前述のように、反転内部制御信号EQBがロウレベルとされ、反転内部制御信号EQTがハイレベルとされると、反転内部制御信号ACBはロウレベルとされ、MOSFETN2はオン状態とされる、この結果、非データ線CDとメモリアレイMAのRYの選択されたビット線B0～Bnが、上記論理スレッシホールドレベルVRにコラライズされるものとなる。

【0041】センサ用SAIは、さらに、電源電圧VCCと共通データ線CDとの間に直列形態に設けられたNチャネルMOSFETN8（第1のプリチャージ）M

OSFET)及びN9と、これらのMOSFETと並列に形成されるもう1個のNチャネルMOSFET形態に設けられるもう1個のNチャネルMOSFETのうち、第2のブリチャージMOSFET)を含む、この7つのMOSFET9のゲートには、非反転内部制御信号EQTが供給される。また、MOSFET8のゲートは、PチャネルMOSFET4を介して電源電圧VCCに結合されるとともに、2個のNチャネルMOSFET4及びN6を介して四階の接地電位に結合される。MOSFET6及びN4のゲートは、上記反転内部制御信号SACBが供給され、MOSFET5のゲートは共通データ線Cに結合される。この実施例において、MOSFET8は、比較的大きなコンダクタンスを持つ比較的大きなサイズをもって形成され、MOSFET7は、MOSFET8に比較して小さなコンダクタンスを持つ比較的小きなサイズをもって形成される。

【0042】これらのことから、MOSFETP4は、フラッシュメモリが選択状態とされ反転内部制御信号SACBがロウレベルとされるときの動的にオン状態となり、MOSFETN7及びN8をオン状態とする。このとき、MOSFETN9は、非反転内部制御信号EQTがハイレベルとされる期間だけ一時的にオン状態とされ、これによってMOSFETN4が電变的な有効状態となる。この結果、共通データ線CDには、非反転内部制御信号EQTがハイレベルとされる期間だけ、言い換えるならばセンスアンプSAによる読み出し信号の増幅動作が行われる当期において、MOSFETN8を介する比較的大きなブリッチャ電流I3とMOSFETN7を介する比較的小さなブリッチャ電流I2とが同時に供給される。前述のように、非反転内部制御信号EQTがハイレベルとされるとき、センスアンプSAではMOSFETP1及びN1による共通データ線CDのイクオリザが行われる。したがって、共通データ線CDの電位は、直前の読み出し動作においてその電位がロウレベルとされていた場合でも、論理スレッシホルドレベルVR<sub>M</sub>まで急速に上昇されるものとなる。

【0043】所定の時間が経過して非反転内部制御信号E<sub>Q</sub>がロウレベルとされると、センスアンプSAでは、MOSFETn9がオフ状態とされ、ブリチャージMOSFETn8は無効状態とされる。したがって、共通データ線には、MOSFETn7を介する比較的小さなブリチャージ電流i<sub>2</sub>が供給され、MOSFETn7、TP2及びNN2を介する読み出し電流i<sub>1</sub>が供給される。このとき、MOSFETp1及びN1は、前述のようにならうに、反転内部制御信号E<sub>QB</sub>のハイレベルと非反転内部制御信号E<sub>Q</sub>のロウレベルを受け持つオフ状態とされ、MOSFETp2及びN2は、共通データ線CDの電位は、メモリアレイMARyの選択されたメモリセルが論理“0”のデータを持続するとき、ブリチャージ電流i<sub>2</sub>及び読み出し電流i<sub>1</sub>によってさらに上昇し、メモリアレイMARy

の選択されたメモリセルが論理“1”のデータを保持すると、このメモリセルを介する引き抜き電流によって、徐々に低下する。共通データ線CDのレベル変化は、レベル判定回路となるインバータ11によって判定され、その出力信号つまりはセンサアンプSAの出力信号SAの増加傾向にロウレベル又はハイレベルとされる。

【0044】ところで、メモリアレイMARYの選択されたメモリセルの保持データに従って共通データ線CDの電位が選択的に変化されるとき、センスアンプSAでは、前述のように、比較的小きなコンダクタンスを有するプリチャージMOSFET7のみがオン状態とされる。このため、直前の読み出し動作において共通データ線CDの電位がハイレベルとされている場合でも、メモリアレイMARYの選択されたメモリセルによる共通データ線CDの電位引き抜きは速やかに行われ、これによって論理“1”の記憶データの読み出し動作も高速化される。

【0045】図5には、図1のフラッシュメモリに含まれるセンサンプSAの第2の実施例の回路図が示されている。同図により、この装置が適用されたセンサンプのもう一つの実施例の具体的な構成及び動作ならびにその特徴について説明する。なお、この実施例のセンサンプSAは、前記図2の実施例を基本的に踏襲するものであるため、これと異なる部分についてののみ説明を追加する。

【0046】図5において、この実施例のセンシングアン  
Sは、Nチャネル型の差動MOSFETNB及びPN  
Cを含む。これらの差動MOSFETP7のドレインは、対称  
にPチャネルMOSFETP6及びP7を介して  
電源電圧VCCに結合され、その共通結合されたソース  
は、Nチャネル型の差動MOSFETNEを介して固  
路の接地電位に結合される。MOSFETNCのゲート  
は、内部ノードnrに結合され、MOSFETNBのゲート  
は、PチャネルMOSFETP6ならびにNチャ  
ネルMOSFETNA及びNDからなる定電位発生回  
路から所定の基準電位VVRが供給される。一方、MOS  
FETP6のゲートは、そのドレインに共通結合された  
後、MOSFETP7のゲートに結合される。また、差  
動MOSFETNE及び差動のゲートには、非反転内部  
制御信号SACTが供給される。これにより、MOSF  
ETP6及びP7は電流ミラー形態となり、差動MOS  
FETNB及びNCに対するアクティブ負荷として作用  
する。また、差動MOSFETNB及びNCは、これら  
の負荷MOSFETP6及びP7ならびに差動MOSF  
ETP6とともに、非反転内部制御信号SACTがハイ  
レベルとされたことで選択的に動作状態とされかつ上記  
基準電位VVRをその過渡期的レッシュホールドレベルとするレ  
ベル判定回路を構成する。

【0047】差動MOSFETNB及びNCを中心とするレベル判定回路の反転出力信号すなわちMOSFET

NC及びP7の実通結合されたドレイン電位は、イン  
ター1・2によって反転された後、センスアンプSAの出力  
信号SAOとなる。一方、レベル判定回路の反転入力  
端子すなわちMOSFETNBのゲートとその非反転入  
力端子すなわちMOSFETNCのゲートつまり内部ノ  
ードnrとの間には、PチャンネルMOSFETP1及び  
びN1からなる相補スイッチが設けられる。このうち、  
MOSFETP1のゲートには反転内部制御信号EQB  
が供給され、MOSFETN1のゲートには非反転内部  
制御信号EQTが供給される。MOSFETP1及び非  
1転内部制御信号EQBがロウレベルとされ非反  
転内部制御信号EQTがハイレベルとされることで、習  
い換えるならばセンスアンプSAによる読み出し信号の増  
幅動作が行われる当期において一時的にオン状態とな  
り、内部ノードnrつまりは共通データ線CDの電位を  
基準電位VRつまりは変動MOSFETNB及びNCを  
中心とするレベル判定回路の論理レベルセンスアンプ  
にイコライズする。この結果、この実施例のセンスアンプ  
PSAにおいても、前記図3の実施例と同様な効果を得る  
ことができるものとなる。

【0048】以上の実施例に示されるように、この発明を電流センス型のセンサンプを備えるフラッシュメモリ等の半導体記憶装置に適用することで、次のような作用効果を得ることができる。すなわち、

(1) 電流センサ型のセンサアンプを備えるフラッシュメモリー等において、非逆データ線を、読み出し動作が開始される当初、センサアンプのレベル判定回路の論理スレッチホールドレベルにイコライズすることで、レベル判定回路による読み出し信号のレベル判定動作を安定化できるという効果が見られる。

【0049】(2)上記(1)項において、共通データ線のプリチャージを、比較的大きなコンダクタンスを有するプリチャージトランジスタにより行われ、同時に有効な共通データ線のイコライズが行われる間、比較的小さなコンダクタンスを有し読み出し層の増幅動作が行われる間定常的に有効とされる第2のプリチャージトランジスタにより行われる。選択されたメモリアルセルの読み出し層による共通データ線のレベル変化に影響を与えずに、共通データ線のプリチャージを高速化できるといふ効果を得られる。

(3) 上記(1)項及び(2)項により、読み出し信号の論理レベルの如何にかかわらず、センスアンプのレベル判定回路による読み出し信号のレベル判定動作を高速化できるという効果が得られる。

(4) 上記(1)項～(3)項により、フラッシュメモリの読み出し動作を高速化し、そのアクセスタイムの高速化を推進できるという効果が得られる。

【００５０】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で変形可能である。

範囲で種々変更可能であることは言うまでもない。例えば、図1において、フラッシュメモリは、メモリアレイMARYを構成するすべてのメモリセルの記憶データを一斉に消去するためのチップ消去モードを備えることができる。また、フラッシュメモリは、複数ビットの記憶データを同時に入力出力するいわゆる多ビット構成を備えることができるし、そのブロック構成や電圧及び制御電圧の極性及び絶対値ならびに組み合わせ等、種々の実施形態を採りうる。

[0051] 図2において、メモリアレイMARYは、複数のサブメモリアレイに分割することができる。また、YスイッチYSは、PチャンネルMOSFET及びNチャンネルMOSFETが並列結合されてなる相補スイッチにより構成することができる。図5において、内部ノードnrに対するレベル判定回路は、図6に例示されるように、Pチャンネル型の駆動MOSFET及びPチャンネルMOSFETが並列結合されてなる相補スイッチにより構成することができる。この場合、レベル判定回路の反転入力端子すなわちMOSFETのゲートに基準電圧VRを与えるための定電圧発生回路は、PチャンネルMOSFET 8及びPANAならびにNチャンネルMOSFET 9により構成する必要がある。図3ならびに図5及び図6において、読み出し電流I1を充分な値に設定できる場合、比較的小さなコンダクタンスを有するプリチャージMOSFET 7を省略することができる。さらに、図2に示されるメモリアレイMARYや図3、図5及び図6に示されるセンスアンプSAの具体的な構成ならびにMOSFETの導電型等は、種々の実施形態を採りうる。

[0052] 以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野であるフラッシュメモリに適用した場合について説明したが、それに限定されるものではなく、例えば、同様なセンスアンプを備えるEPROM及びEEPROM等の各種メモリ集積回路やこれらのメモリ集積回路を内蔵するマイクロコンピュータ等の論理集積回路装置にも適用できる。この発明は、少なくとも電流センス型のセンスアンプを備える半導体記憶装置ならびにこのような半導体記憶装置を内蔵する半導体装置に広く適用できる。

[0053]

【発明の効果】 本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、電流センス型のセンスアン

プを備えるフラッシュメモリ等において、共通データ線を、読み出し動作が開始される当初、センスアンプのレベル判定回路の論理スレッシュホルドレベルにイコライズするとともに、共通データ線のプリチャージを、比較的大きなコンダクタンスを有しかつ共通データ線のイコライズが行われる間一時的に有効とされる第1のプリチャージMOSFETと、比較的小きなコンダクタンスを有しかつ読み出し信号の増幅動作が行われる間定期的に有効とされる第2のプリチャージMOSFETとにより行うことで、読み出し信号の論理レベルの如何にかかわらず、センスアンプのレベル判定動作による読み出し信号のレベル判定動作を高速化することができる。この結果、フラッシュメモリの読み出し動作を高速化し、そのアクセスタイムの高速化を推進することができる。

【図面の簡単な説明】

【図1】 この発明が適用されたフラッシュメモリの一実施例を示すブロック図である。

【図2】 図1のフラッシュメモリに含まれるメモリアレイ及びYスイッチの一実施例を示す回路図である。

【図3】 図1のフラッシュメモリに含まれるセンスアンプの第1の実施例を示す回路図である。

【図4】 図3のセンスアンプの一実施例を示す信号波形図である。

【図5】 図1のフラッシュメモリに含まれるセンスアンプの第2の実施例を示す回路図である。

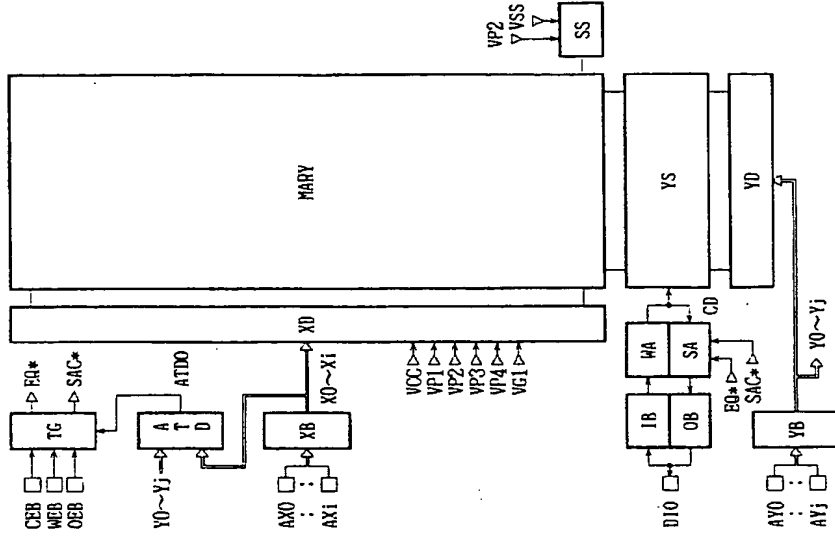
【図6】 図1のフラッシュメモリに含まれるセンスアンプの第3の実施例を示す回路図である。

【図7】 従来のフラッシュメモリに含まれるセンスアンプの一実施例を示す回路図である。

【符号の説明】

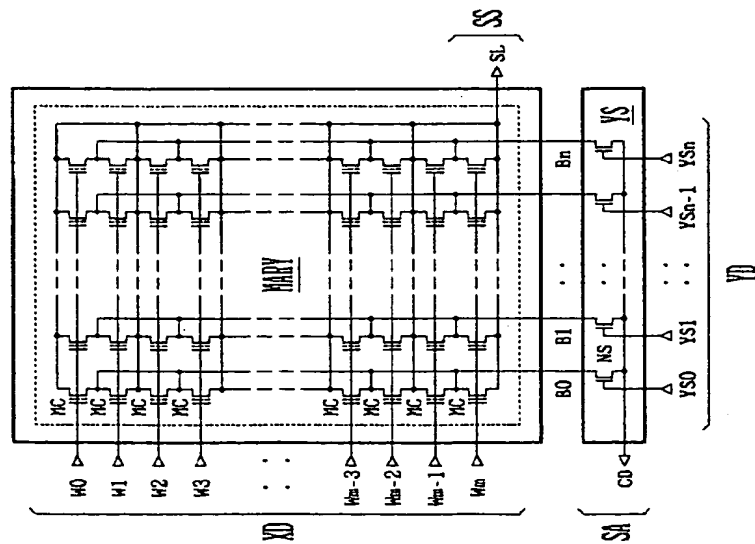
MARY・・・メモリアレイ、XD・・・Xアドレスデコード、XB・・・Xアドレスパツファ、SS・・・ソーススイッチ、YS・・・Yスイッチ、YD・・・Yアドレスデコード、YB・・・Yアドレスパツファ、ATD・・・アドレス選択回路、WA・・・ライトアンプ、SA・・・センスアンプ、IB・・・データ入力パツファ、OB・・・データ出力パツファ、TG・・・データイミジング発生回路、MC・・・不揮発性メモリセル、W0～Wm・・・ワード線、B0～Bn・・・ビット線、SL・・・ソース線、P1～PC・・・PチャンネルMOSFET、N1～NS・・・NチャンネルMOSFET、I1～I2・・・インバータ。

図1 フラッシュメモリブロック図



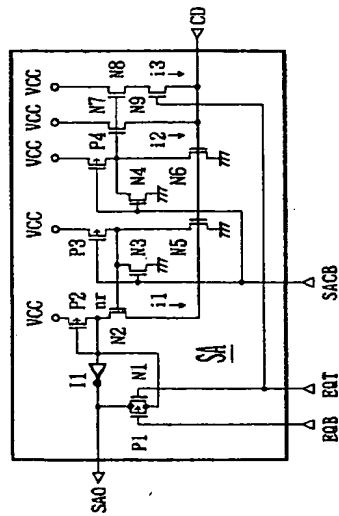
(図2)

図2 メモリアレイ回路図



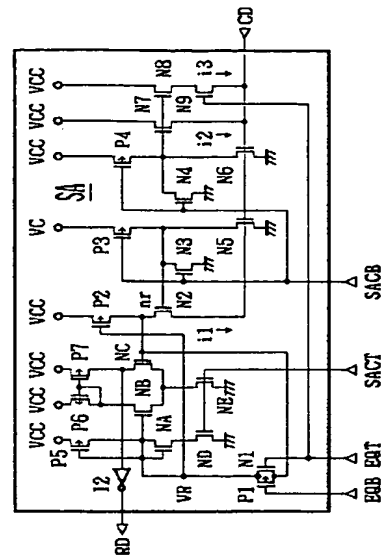
(図3)

図3 センスアンプ回路図 (実施例1)



(図5)

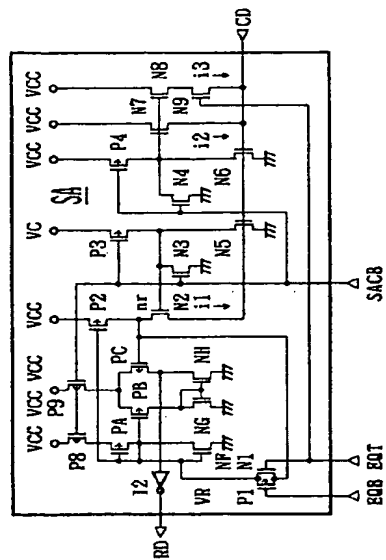
図5 センスアンプ回路図 (実施例2)





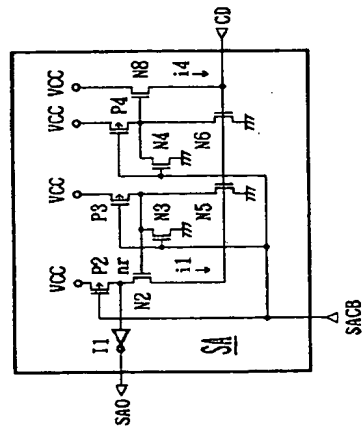
(図6)

図6 センスタンプ回路図 (実施例3)



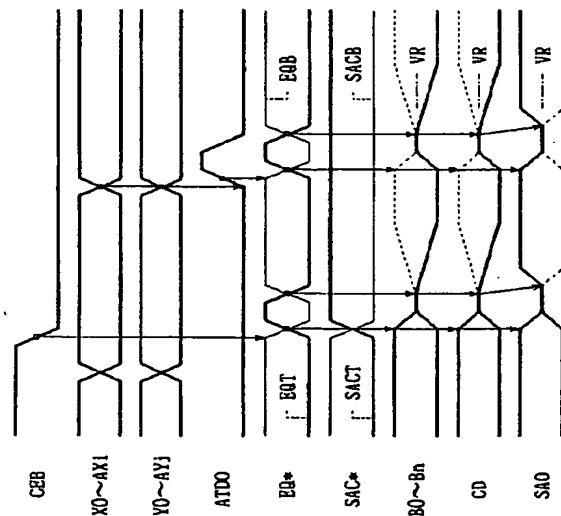
(図7)

図7 センスタンプ回路図 (従来例)



(図4)

図4 センスタンプ信号波形図



80~8n, CD, SA0 [ — 論理 "1" 出力  
                          [ - - - 論理 "0" 出力